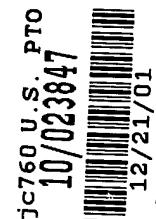


#2
3-5 02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Akira MITSUIKI
Title: METHOD OF FORMING FINE
PATTERNS
Appl. No.: Unassigned
Filing Date: December 21, 2001
Examiner: Unassigned
Art Unit: Unassigned



CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- Japanese Patent Application No. 2001-007539
filed January 16, 2001.

Respectfully submitted,

Date: December 21, 2001

By

FOLEY & LARDNER
Customer Number: 22428



22428

PATENT TRADEMARK OFFICE

Telephone: (202) 672-5485
Facsimile: (202) 672-5399

William T. Ellis
Attorney for Applicant
Registration No. 26,874

G 551 H - US

日本国特許庁
JAPAN PATENT OFFICE

Jc760 U.S. PTO
10/023847
12/21/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月16日

出願番号

Application Number:

特願2001-007539

出願人

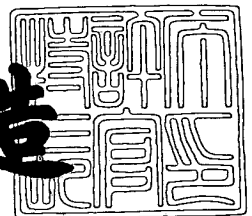
Applicant(s):

株式会社半導体先端テクノロジーズ

2001年 8月24日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3075600

【書類名】 特許願

【整理番号】 00PK034A

【提出日】 平成13年 1月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社半
導体先端テクノロジーズ内

【氏名】 満生 彰

【特許出願人】

【識別番号】 597114926

【氏名又は名称】 株式会社半導体先端テクノロジーズ

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

特 2 0 0 1 - 0 0 7 5 3 9

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903446

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 微細パターンの形成方法、半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項 1】 基板上に堆積形成された被加工膜上にリソグラフィ技術を用いてレジストパターンを形成するリソグラフィ工程と、

前記レジストパターンに対してエッチング処理を施して、前記レジストパターンのライン幅を細くする第 1 のエッチング工程と、

前記レジストパターンの下層にある第 1 の被加工膜に対して、前記レジストパターンの側面近傍のエッチングレートが他の部分より速くなる低圧環境下で異方性エッチング処理を施すことにより、前記レジストパターンのライン側面近傍において前記第 1 の被加工膜の下層にある第 2 の被加工膜を露出させて、当該第 1 の被加工膜のパターンを形成する第 2 のエッチング工程と、

前記第 2 の被加工膜に対して前記第 1 の被加工膜のパターンをマスクとしてエッチング処理を施すことにより、当該第 2 の被加工膜について前記レジストパターンの $1/2$ 倍のピッチのパターンを形成する第 3 のエッチング工程と、を含むことを特徴とする微細パターンの形成方法。

【請求項 2】 前記低圧環境が、エッチングガスの圧力が 1.5 Pa 以下の環境であることを特徴とする請求項 1 記載の微細パターンの形成方法。

【請求項 3】 前記第 1 の被加工膜が窒化膜であり、前記第 2 の被加工膜が酸化膜であることを特徴とする請求項 1 または 2 記載の微細パターンの形成方法。

【請求項 4】 前記第 3 のエッチング工程が、

前記第 2 の被加工膜に対して、前記第 1 の被加工膜のパターンをマスクとして異方性エッチング処理を施した後に、さらに等方性エッチング処理を施すことにより、当該第 2 の被加工膜について所望のライン幅およびスペース幅のパターンを得る工程であることを特徴とする請求項 1 から 3 のいずれかに記載の微細パターンの形成方法。

【請求項 5】 前記第 2 の被加工膜の下層にある第 3 の被加工膜に対し、前

記第3のエッチング工程により得られたパターンをマスクとして異方性エッチング処理を施すことにより、当該第3の被加工膜について所望のライン幅およびスペース幅のパターンを形成する、第4のエッチング工程を含むことを特徴とする請求項1から4のいずれかに記載の微細パターンの形成方法。

【請求項6】 請求項1から5のいずれかに記載の微細パターンの形成方法により微細パターンを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法を用いて製造されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置等を製造する工程において、基板上に薄膜の微細パターンを形成する方法に関する。

【0002】

【従来の技術】

従来、半導体装置の製造工程において半導体基板上に薄膜のパターンを形成する方法としては、リソグラフィ技術を用いる方法が知られている。

【0003】

図3は、半導体装置の製造工程における従来のパターン形成方法を説明するための図である。

【0004】

まず、図3(a)に示すように、シリコンウェハなどの半導体基板1上に厚さ4nm程度の酸化膜2を成膜し、この酸化膜2上に厚さ150nm程度のポリシリコン膜3を、さらにポリシリコン膜3上に厚さ200nm程度の酸化膜4を成膜する。次に、酸化膜4上に有機系の反射防止膜6を厚さ100nm程度塗布し、エキシマレーザなどのリソグラフィ装置を用いて反射防止膜6上にラインアンドスペース（以下L/Sと記載する）が0.16/0.16 μ mとなるような、レジストパターン7を形成する。

【0005】

次に、図3（b）に示すようにレジストパターン7をマスクとして、反射防止膜6のエッチングをする。エッチングはドライエッチング装置を用い、レジストパターン7のライン幅が変わらないように行う。

【0006】

さらに、酸化膜エッチング装置を用いて、図3（c）に示すように酸化膜4のエッチングをする。

【0007】

その後、図3（d）に示すようにレジストパターン7をアッシングにより除去し、酸化膜4をハードマスクとして、シリコンドライエッチング装置によりポリシリコン膜3のエッチングをする。

【0008】

以上の工程により形成されるポリシリコン膜3のパターンは、図から明らかであるように、レジストパターン7と同じく $L/S = 0.16/0.16 \mu m$ のパターンとなる。

【0009】

【発明が解決しようとする課題】

すなわち、従来の方法では、リソグラフィ技術により作製したレジストパターン（以下リソグラフィパターンという）をマスクとして薄膜パターンを作製するため、リソグラフィパターンよりも微細なパターンを形成することはできなかった。

【0010】

ライン幅を狭める方法としては、レジストのスリミング技術が知られているものの、この方法では、ライン幅を狭くした分、スペース幅が広がってしまうため、パターンピッチはレジストパターンと変わらず、パターンを微細化したとはいえない。

【0011】

本発明は、半導体装置等の製造工程において、リソグラフィ技術の限界に阻まれることなく微細なパターンを形成することができる方法を提供することを目的

とする。

【0012】

【課題を解決するための手段】

本発明の微細パターンの形成方法は、請求項1記載のとおり、

基板上に堆積形成された被加工膜上にリソグラフィ技術を用いてレジストパターンを形成するリソグラフィ工程と、

前記レジストパターンに対してエッチング処理を施して、前記レジストパターンのライン幅を細くする第1のエッチング工程と、

前記レジストパターンの下層にある第1の被加工膜に対して、前記レジストパターンの側面近傍のエッチングレートが他の部分より速くなる低圧環境下で異方性エッチング処理を施すことにより、前記レジストパターンのライン側面近傍において前記第1の被加工膜の下層にある第2の被加工膜を露出させて、当該第1の被加工膜のパターンを形成する第2のエッチング工程と、

前記第2の被加工膜に対して前記第1の被加工膜のパターンをマスクとしてエッチング処理を施すことにより、当該第2の被加工膜について前記レジストパターンの1/2倍のピッチのパターンを形成する第3のエッチング工程と、
を含むことを特徴とする微細パターンの形成方法である。

【0013】

言い換えれば、第1のエッチング工程においてスリミング処理によりレジストパターンのライン幅を細くし、第2のエッチング工程においてスリミングにより広がったスペースに新たなマスクパターンを形成し、第3のエッチング工程において、そのマスクパターンを利用して下層のエッチングを行って、リソグラフィパターンの1/2倍のピッチの微細パターンを形成する方法である。

【0014】

ここで、前記第2のエッチング工程において、「前記レジストパターンの側面近傍のエッチングレートが他の部分より速くなる低圧環境下で異方性エッチング処理を施すことにより、前記レジストパターンのライン側面近傍において前記第1の被加工膜の下層にある第2の被加工膜を露出させる」とは、一般に、低圧環境下でドライエッチングを行うと、パターンのライン側面近傍のエッチングレ

トが、他の範囲よりも速くなることが知られているため、この性質を利用したものである。つまり、エッチングレートの違いを利用して、パターンライン側面近傍は下層の被加工膜が露出するまでエッチングされたが他の部分ではまだエッチング対象の被加工膜が残っているという状態でエッチング処理を終了すれば、パターンライン側面近傍でのみ下層の被加工膜を露出させることができるということである。

【 0 0 1 5 】

「低圧環境」としては、請求項 2 記載のとおり、エッチングガスの圧力が 1. 5 P a 以下の環境が望ましい。但し、上述のようにエッチングレートの違いを利用してパターン形成をすることが可能であれば、1. 5 P a より高い圧力でもよい。

【 0 0 1 6 】

また、本発明の方法では、被加工膜の材料は特に限定されないが、各エッチング工程において、上層の被加工膜のパターンをマスクとして下層の被加工膜のエッチングを行うので、相応のエッチング選択性を有する膜材料の組み合わせを選択する必要がある。例えば第 3 のエッチング工程では第 1 の被加工膜のパターンをマスクとして第 2 の被加工膜のエッチングを行うので、エッチングガスとの組み合わせも考慮して、第 2 の被加工膜のエッチングレートが第 1 の被加工膜のエッチングレートよりも速いような、望ましくはその速度比ができるだけ大きい組み合わせを選択する必要がある。

【 0 0 1 7 】

一例としては、請求項 3 記載のとおり、第 1 の被加工膜を、例えば基板材料などの窒化膜とし、第 2 の被加工膜を同じく基板材料などの酸化膜とする方法が考えられるが、基板材料以外の窒化膜などでもよいし、酸窒化膜と酸化膜など、他の組み合わせであってもよい。

【 0 0 1 8 】

請求項 4 記載の発明は、前記第 3 のエッチング工程が、前記第 2 の被加工膜に対して、前記第 1 の被加工膜のパターンをマスクとして異方性エッチング処理を施した後に、さらに等方性エッチング処理を施すことにより、当該第 2 の被加工

膜について所望のライン幅およびスペース幅のパターンを得る工程であることを特徴とする微細パターンの形成方法である。

【0019】

「前記第2の被加工膜に対して、前記第1の被加工膜のパターンをマスクとして異方性エッチング処理を施した後に、さらに等方性エッチング処理を施す」のは、異方性エッチング処理だけでは、第2のエッチング工程において形成されたマスクパターンのライン幅、スペース幅に依存するため、必ずしも所望のライン幅およびスペース幅のパターンを形成できないからである。

【0020】

第2のエッチング工程において、所望のライン幅およびスペース幅のマスクパターンを形成できればよいが、前述のように第2のエッチング工程では、低圧環境下におけるエッチングレートの違いを利用してエッチングを行っているため、マスクパターンを所望のサイズにすることは難しい。例えば、ライン幅をより小さくしようとエッチング時間を長くすればマスクとして残す部分のエッチングが進行してしまい、マスクとして必要な厚さを確保できない可能性がある。

【0021】

すなわち、請求項4記載の方法は、リソグラフィパターンの1/2倍のピッチのパターンを得ることのみならず、そのライン幅およびスペース幅を所望のサイズにすることを目的としてエッチングを行う方法である。

【0022】

また、請求項5記載の発明は、前記第2の被加工膜の下層にある第3の被加工膜に対し、前記第3のエッチング工程により得られたパターンをマスクとして異方性エッチング処理を施すことにより、当該第3の被加工膜について所望のライン幅およびスペース幅のパターンを形成する、第4のエッチング工程を含むことを特徴とする微細パターンの形成方法である。

【0023】

第3のエッチング工程の等方性エッチング処理は、所望のライン幅やスペース幅は得られるものの、得られるパターンの形状は、必ずしも半導体装置の構成要素（例えばゲート電極）とするのにふさわしいとはいえない。そこで、等方性エ

ツチング工程で得られたパターンはマスクとしてのみ使用し、あらためて異方性エッチング処理を行って、結果として、リソグラフィパターンの1/2倍のピッチで、所望のライン幅およびスペース幅で、所望の形状のパターンを得るということである。

【0024】

また、請求項6記載の半導体装置の製造方法は、請求項1から5のいずれかに記載の微細パターンの形成方法を用いて微細パターンを形成する工程を含むことを特徴とする半導体装置である。

【0025】

さらに、請求項7記載の半導体装置は、請求項6記載の半導体装置の製造方法により製造することができる半導体装置である。

【0026】

【発明の実施の形態】

以下、図面を参照して、本発明の一実施の形態について説明する。

【0027】

本実施の形態では、まず、図1(a)に示すように、シリコンウェハなどの半導体基板1上に厚さ4nm程度の酸化膜2を成膜し、この酸化膜2上に厚さ150nm程度のポリシリコン膜3を、そのポリシリコン膜3上に厚さ100nm程度の酸化膜4を、さらにその酸化膜4上に厚さ30nm程度の窒化膜5を成膜し、その窒化膜5上に有機系の反射防止膜6を厚さ100nm程度塗布する。

【0028】

ここでは、窒化膜5が前記第1の被加工膜に、酸化膜4が前記第2の被加工膜に、またポリシリコン膜3が前記第3の被加工膜に相当する。反射防止膜6は、リソグラフィ工程でのみ必要な膜であるため、レジストパターンの一部として考えることとする。

【0029】

次に、エキシマレーザなどのリソグラフィ装置を用いて反射防止膜6上にL/Sが0.16/0.16 μ mとなるような、レジストパターン7を形成する。これが、前記リソグラフィ工程である。

【0030】

次に、第1のエッチング工程として、レジストパターン7のスリミングを行う。本実施の形態では、ドライエッチング装置とレジストアッシング装置を使用し、 O_2 を含むガスを用いる。この際、図1(b)に示すように、レジストパターン7が横方向にもエッチングされて L/S が $0.12/0.20\mu m$ となるように条件を設定する。なお、この工程で、レジストパターン7のスリミングと同時に、レジストパターン7をマスクとした反射防止膜6のエッチングも行い、以下、反射防止膜6はレジストパターン7の一部とみなして説明する。

【0031】

次に、第2のエッチング工程について説明する。第2のエッチング工程は、例えばECRタイプのシリコンドライエッチング装置を使用し、以下の条件で行う。

【0032】

[エッチング条件]

圧力：1Pa、マイクロ波パワー：800W、バイアスパワー：200W、
プロセスガス： Cl_2 ：200sccm

【0033】

前述のように、このような低圧のドライエッチングでは、パターン側面近傍のエッチングレートが他の部分よりも速くなるため、結果として、図1(c)に示すようにパターンの側面近傍のみ下層の酸化膜4が露出し、レジストパターン7ではスペースとなっていた部分に、新たに窒化膜5のマスクパターンを形成することができる。

【0034】

この際、エッチングは、窒化膜5が残る部分、すなわち後述する第3のエッチング工程においてマスクとなる部分の幅が、上層のレジストの有無に拘わらず等しくなるように行うことが望ましい。本実施の形態の場合でいえば、第1のエッチング工程によりレジストパターン7の L/S が $0.12/0.20\mu m$ となっているので(図1(b))、窒化膜5の開口部分、すなわちエッチングにより酸化膜4を露出させる部分の幅を $0.04\mu m$ とすれば、新たに形成される窒化膜

5のパターンのライン幅は $0.12\mu\text{m}$ となり、レジストパターンのライン幅と等しくなる。

【0035】

レジストパターン7（反射防止膜6含む）をアッシングにより除去した後、第3のエッチング工程として、窒化膜5をマスクとした酸化膜4のドライエッチングおよびウェットエッチングを行って酸化膜4のパターンを形成する。

【0036】

図1（d）は、ドライエッチングにより形成された酸化膜4のパターンを表す図である。この時点で、レジストパターン7の $1/2$ 倍のピッチのパターンが得られることになる。また、レジストパターン7の L/S が $0.16/0.16\mu\text{m}$ だったのに対し、第3のエッチング工程により得られるパターンの L/S は $0.12/0.04\mu\text{m}$ となる。

【0037】

次に、この酸化膜4のパターンの L/S が、 $0.12/0.04\mu\text{m}$ から $0.04/0.12\mu\text{m}$ の範囲の所望の L/S となるように、ウェットエッチングを行う。但し、等方性エッチングであればドライエッチングでもよい。

【0038】

酸化膜エッチングの場合、酸化膜4の上層の窒化膜5はエッチングされず、図2（a）に示すようにもとの幅のまま残ってしまうため、次にこの窒化膜5を窒化膜エッチングにより除去する（図2（b））。

【0039】

最後に、第4のエッチング工程として、この酸化膜4のパターンをマスクとして、ポリシリコン膜3のエッチングを行う。図2（c）は前記第3のエッチング工程において、酸化膜4のパターンの L/S が $0.08\mu\text{m}/0.08\mu\text{m}$ となるようにエッチング行った場合に、最終的に得られる構造を示す。この場合、得られるパターンは、レジストパターン7と比べて、ピッチが $1/2$ 倍、ライン幅およびスペース幅が $1/2$ のパターンとなる。

【0040】

以上のようにして形成されたパターンをゲート電極とし、通常の工程により半

導体基板 1 にソース／ドレイン領域を形成すれば、従来よりも高密度の半導体装置を製造することができる。

【 0 0 4 1 】

なお、本実施の形態は、半導体基板 1 をシリコン基板、酸化膜 2 および酸化膜 4 をシリコン酸化膜、窒化膜 5 をシリコン窒化膜としたものであるが、本願発明は、膜材料に拘わらず適用可能であり、基板、膜の材料は他の材料であってもよい。酸化膜 4、窒化膜 5 も必ずしも半導体基板の酸化膜、窒化膜である必要はないため、半導体基板がシリコン基板の場合でも、シリコン酸化膜、シリコン窒化膜に限定されるものではない。

【 0 0 4 2 】

すなわち、膜の材料としては、本願の要旨の範囲内で、必要なエッチング選択性を有する膜材料を選択することができる。つまり、マスクとして使用する膜であれば、下層にあるエッチング対象よりもエッチングレートが遅い材料を選択すればよい。この際、必要に応じて、使用するエッチングガスとの組み合わせも考慮する。

【 0 0 4 3 】

また、本実施の形態では、最終的に形成するパターンは、ポリシリコン膜 3 のパターンとしたが、導電膜としてはポリシリコン膜に限られず、例えばタングステン膜、タングステンシリサイド膜などであってもよい。

【 0 0 4 4 】

また、本発明の方法は、基板上に配置されるゲート電極などを形成する場合のみならず、層間絶縁膜中に配置される配線パターンを形成する場合にも適用することができる。また、導電膜パターンの形成に限られるものでもなく、絶縁膜パターンの形成方法としても適用可能である。

【 0 0 4 5 】

【発明の効果】

以上説明したように、本発明の微細パターンの形成方法によれば、レジストのスリミング技術と、パターン側面近傍のみエッチングレートが速くなるような低圧環境下におけるエッチング技術とを組み合わせることにより、リソグラフィ技

術により形成可能な最小パターンの1/2倍のピッチの微細パターンを形成することができる。

【0046】

また、前記スリミング技術およびエッチング技術に、ウェットエッチングなどの等方性エッチング技術を組み合わせることにより、リソグラフィ技術により形成可能な最小パターンの1/2倍のピッチで、かつ所望のライン幅およびスペース幅の微細パターンを形成することができる。

【0047】

さらに、前記等方性エッチング技術により得られたパターンをマスクとして下層のエッチングを行えば、リソグラフィ技術により形成可能な最小パターンの1/2倍のピッチで、所望のライン幅およびスペース幅で、かつ所望の形状の微細パターンを形成することができる。

【0048】

本発明の微細パターンの形成方法を半導体装置の製造工程において用いれば、高密度の半導体装置を効率よく製造することができる。

【図面の簡単な説明】

【図1】 本発明の微細パターンの形成方法について説明するための図

【図2】 所望のライン幅およびスペース幅のパターンを形成する方法を説明するための図

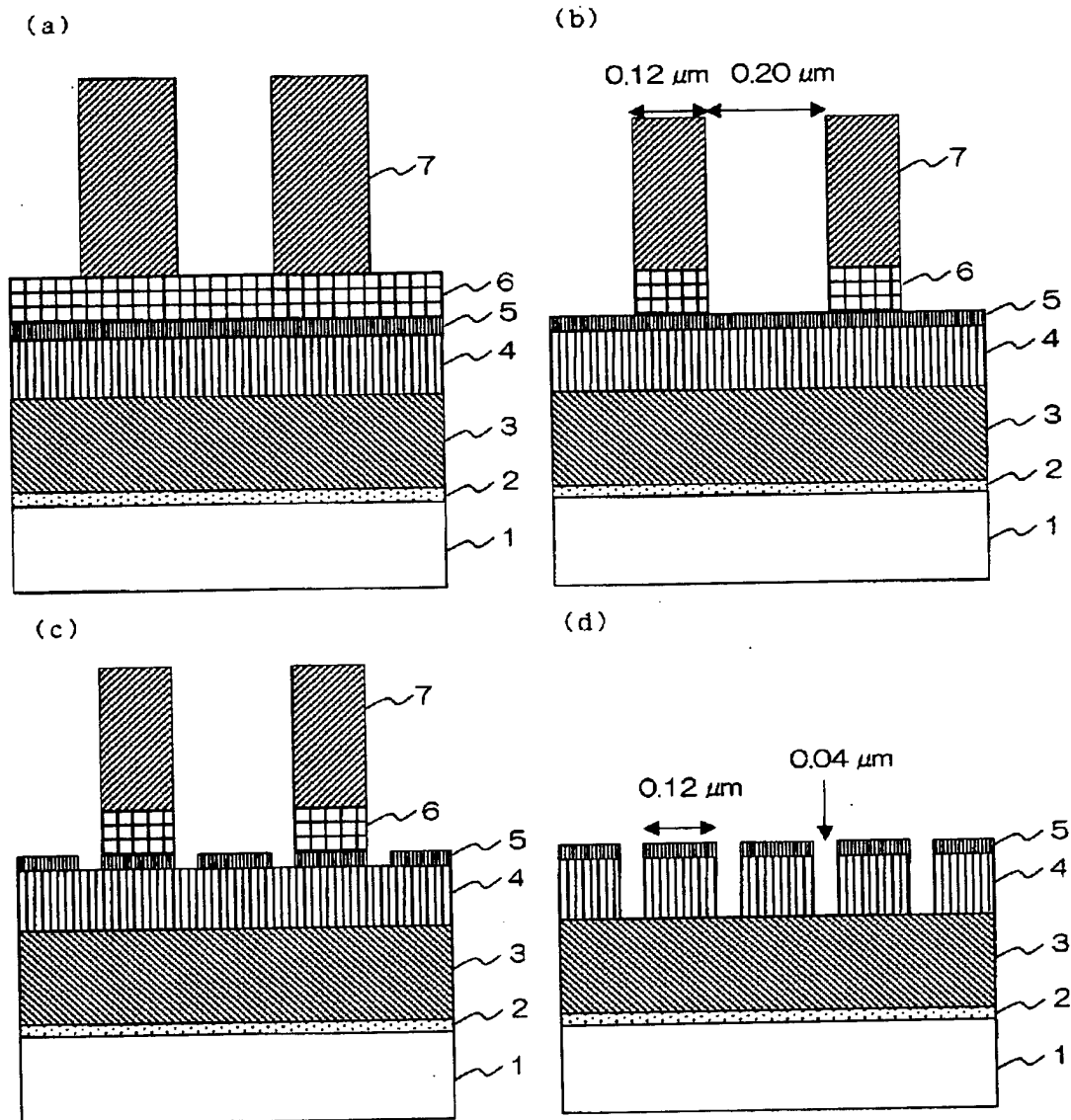
【図3】 従来のパターン形成方法について説明するための図

【符号の説明】

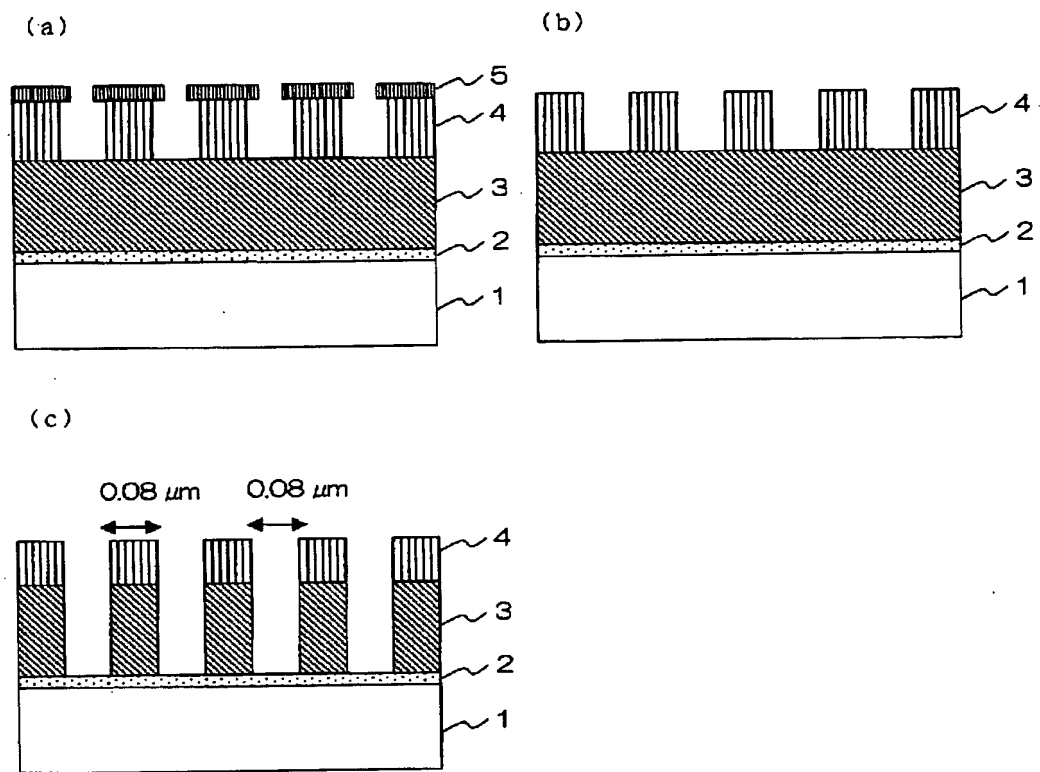
- 1 半導体基板
- 2 酸化膜
- 3 ポリシリコン膜（第3の被加工膜）
- 4 酸化膜（第2の被加工膜）
- 5 窒化膜（第1の被加工膜）
- 6 反射防止膜
- 7 レジストパターン

【書類名】 図面

【図 1】

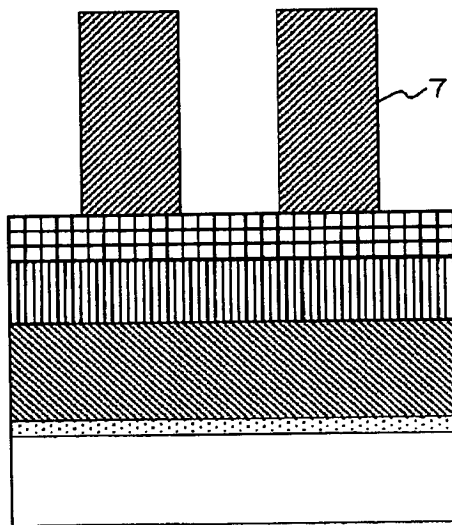


【図 2】

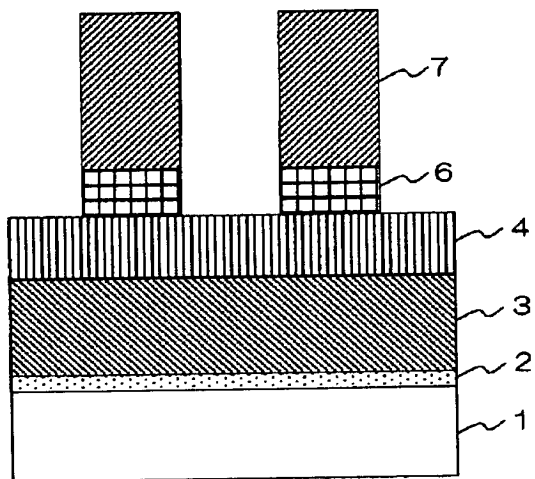


【図 3】

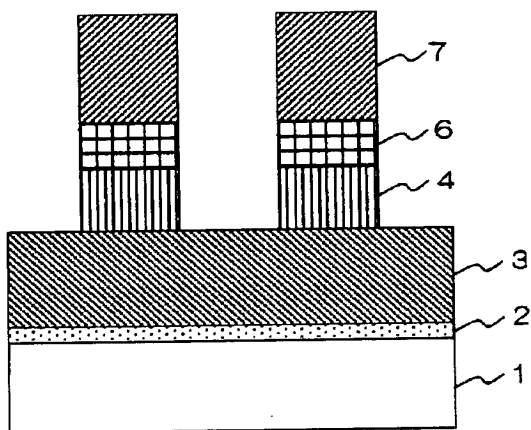
(a)



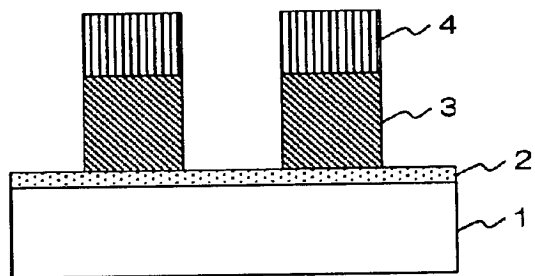
(b)



(c)



(d)



【書類名】 要約書

【要約】

【課題】 半導体装置等を製造する工程において、リソグラフィ技術により形成可能な最小パターンの1/2倍のピッチの微細パターンを形成する。

【解決手段】 リソグラフィ技術によりレジストパターン7を形成し(a)、スリミング技術によりレジストパターン7のライン幅を細くし(b)、低圧環境下で異方性エッチング処理を行うことによってスリミングにより広がったスペースに新たなマスクパターンを形成し(c)、そのマスクパターンを利用して下層の膜のエッチングを行って(d)、リソグラフィパターンの1/2倍のピッチの微細パターンを形成する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [597114926]

1. 変更年月日 1997年 8月12日
[変更理由] 新規登録
住 所 神奈川県横浜市戸塚区吉田町292番地
氏 名 株式会社半導体先端テクノロジーズ